

MENU

SEARCH

INDEX

DETAIL

JAPANESE

**LEGAL
STATUS**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-141419
(43)Date of publication of application : 17.05.2002

(51)Int.Cl.
H01L 21/8222
H01L 27/06
H01L 21/8249
H01L 27/14
H01L 31/10

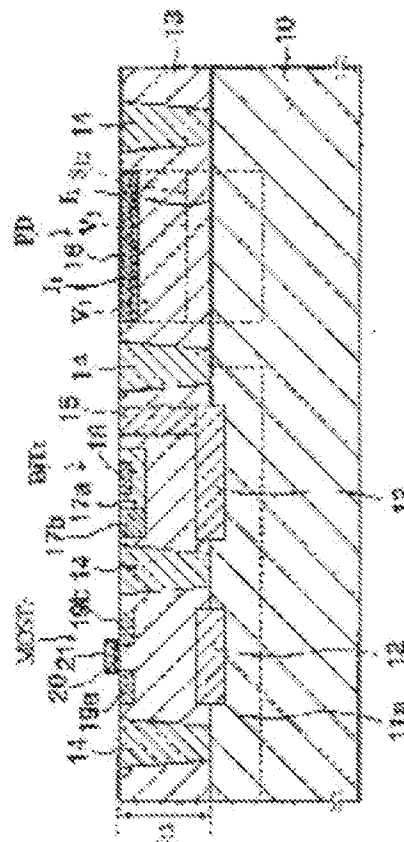
(21)Application number : 2000-338016
(22)Date of filing : 06.11.2000
(71)Applicant : TEXAS INSTR JAPAN LTD
(72)Inventor : OKUMURA YOICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which improves characteristics of a photodiode while keeping characteristics of other semiconductor elements such as a bipolar transistor.

SOLUTION: A first semiconductor layer 11 of first conductive type and a second semiconductor layer 13 of second conductive type are laminated, a bipolar transistor BiTr is composed on a main plane of the second semiconductor layer 13 in a bipolar transistor forming region. In a photodiode forming region, a first semiconductor region 16 of first conductive type is formed on a main plane of the second semiconductor layer 13. A voltage is applied to a part between the first semiconductor layer 11 and the second semiconductor layer 13 and also that between the second semiconductor layer 13 and the first semiconductor region 16, so as to bring a first depletion layer V1 extending from a junction surface J1 of the first semiconductor region 16 and the second semiconductor layer 13 in contact with a second depletion layer V2 extending from a junction surface J2 of the second semiconductor layer 13 and the first semiconductor layer 11 in the photodiode forming region.



(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-141419

(P2002-141419A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl.	識別記号	P I	テ-グ-ド* (参考)	
H 0 1 L	21/8222	H 0 1 L 27/06	1 0 1 D	4 M 1 1 8
	27/06		3 2 1 A	5 F 0 4 8
	21/8248		3 2 1 E	5 F 0 4 9
	27/14	27/14	Z	5 F 0 8 2
	31/10	31/10	G	

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-335016(P2000-335016)

(22) 出願日 平成12年11月6日 (2000.11.6)

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(72) 発明者 奥村 陽一

東京都新宿区西新宿六丁目24番1号 日本
テキサス・インスツルメンツ株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

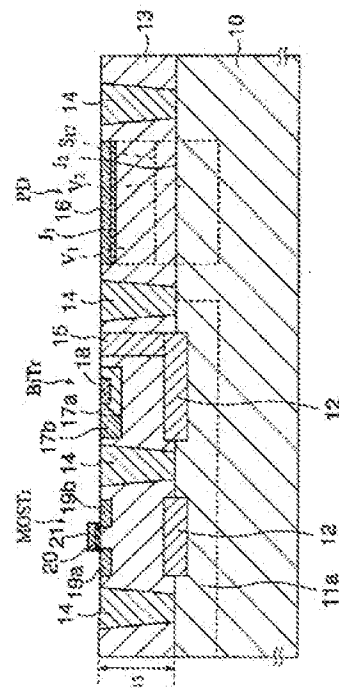
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 バイポーラトランジスタなどのその他の半導体素子の特性を確保しつつ、フォトダイオードの特性を向上させることができる半導体装置を提供する。

【解決手段】 第1導電型の第1の半導体層11と第2導電型の第2の半導体層13とを積層した構成とし、バイポーラトランジスタ形成領域において第2の半導体層13の主面にバイポーラトランジスタB I T rが構成され、フォトダイオード形成領域において第2の半導体層13の主面に第1導電型の第1の半導体領域16が形成されている。フォトダイオード形成領域における第1の半導体領域16と第2の半導体層13との接合面J₁から延びる第1の空乏層V₁と、第2の半導体層13と第1の半導体層11との接合面J₂から延びる第2の空乏層V₂とが接触するように、第1の半導体層11と第2の半導体層13との間および第2の半導体層13と第1の半導体領域16との間に電圧が印加される。



【特許請求の範囲】

【請求項1】 フォトダイオードとバイポーラトランジスタとを有する半導体装置であって、第1導電型の第1の半導体層と、

上記第1の半導体層上に形成された第2導電型の第2の半導体層と、

上記第2の半導体層の主面から上記第1の半導体層に達するように形成されてフォトダイオード形成領域とバイポーラトランジスタ形成領域とをそれぞれ区画するための素子分離領域と、

上記フォトダイオード形成領域において上記第2の半導体層の主面に形成された第1導電型の第1の半導体領域と、

上記バイポーラトランジスタ形成領域において上記第2の半導体層の主面に形成されたバイポーラトランジスタと、

を有し、上記フォトダイオード形成領域において、上記第1の半導体層と上記第2の半導体層との界面から延びる空乏層と上記第2の半導体層と上記第1の半導体領域との界面から延びる空乏層とが上記第2の半導体層において接触するように上記第1の半導体層、上記第2の半導体層および上記第1の半導体領域にそれぞれ電圧が印加される半導体装置。

【請求項2】 上記第1の半導体層が $50\Omega\cdot\text{cm}$ 以上の抵抗値を有する請求項1に記載の半導体装置。

【請求項3】 上記第1の半導体層が $100\Omega\cdot\text{cm}$ 以上の抵抗値を有する請求項1に記載の半導体装置。

【請求項4】 上記第1の半導体層および上記第2の半導体層がエピタキシャル半導体層である請求項1、2または3に記載の半導体装置。

【請求項5】 上記フォトダイオード形成領域以外の上記第1の半導体層の上記第2の半導体層との界面領域の不純物濃度がその他の領域よりも高い請求項1、2、3または4に記載の半導体装置。

【請求項6】 上記第2の半導体層の主面から上記第1の半導体層に達するように形成された素子分離領域で区画された電界効果トランジスタ形成領域を有し、当該電界効果トランジスタ形成領域に電界効果トランジスタが形成されている請求項1、2、3、4または5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に少なくともバイポーラトランジスタとPINフォトダイオードなどのフォトダイオードとを有する半導体装置に関する。

【0002】

【従来の技術】 半導体装置において、フォトダイオードは光を受けて電流を発生させるダイオードであり、CDやDVDなどの光ディスク装置に内蔵される光学ピック

アップ装置用の受光素子として広く用いられている。フォトダイオードは、pn接合した半導体から構成され、pn接合に逆バイアスを印加することで空乏層を広げ、高い電界をかける。主に空乏層で吸収された光によって電子-正孔対が発生し、電界に引かれて電子はn型半導体領域へ、正孔はp型半導体領域へ移動し、電流として検知される。

【0003】 上記のフォトダイオードの種類としては、p層とn層の間に導電性不純物を低濃度に含有するi層（p⁺層またはn⁺層）を設けて、低電圧での空乏層を広げやすくしたPINフォトダイオードや、アバランシェ崩壊を発生させる領域を設けたアバランシェ・フォトダイオードなどがある。

【0004】 図5は、上記のPINフォトダイオード（PD）、バイポーラトランジスタ（BjTr）およびMOS（金属-絶縁層-半導体層積層型）電界効果トランジスタ（MOSTr）を有する半導体装置の断面図である。例えば、 $10\Omega\cdot\text{cm}$ 以下の抵抗値を有するp⁺型半導体基板10上に、 $1\Omega\cdot\text{cm}$ 程度の抵抗値を有し、膜厚 t_{Si} が $5\sim 10\mu\text{m}$ 程度であるn型エピタキシャル半導体層13aが形成されている。n型エピタキシャル半導体層13aに、p⁺型半導体基板10に達するp⁺型層あるいはSTI（Shallow Trench Isolation）法などによるトレンチ壁に埋め込まれた酸化シリコンなどからなる素子分離層14が形成されており、フォトダイオード（PD）領域、バイポーラトランジスタ（BjTr）領域およびMOSTランジスタ（MOSTr）領域がそれぞれ素子分離されている。

【0005】 上記のフォトダイオード（PD）領域において、n型エピタキシャル半導体層13aの表層部分にp⁺型半導体層16が形成されて、pn接合が形成されており、PINフォトダイオードが構成されている。上記のPINフォトダイオードに逆バイアスを印加すると、図5中の破線領域で示すように、pn接合面Jからn型エピタキシャル半導体層13aとp⁺型半導体層16のそれぞれの側に空乏層Vが広がる。ここで、空乏層Vはn側とp側でキャリア濃度が等しくなるように広がるので、キャリア濃度の低いn型エピタキシャル半導体層13a側の方がより広く広がることになる。

【0006】 また、上記のバイポーラトランジスタ（BjTr）領域においては、n型エピタキシャル半導体層13aをコレクタ領域とし、p⁺型半導体基板10とn型エピタキシャル半導体層13aの界面部分にn⁺型埋め込み層12が形成され、n型エピタキシャル半導体層13a表面からn⁺型埋め込み層12に達するn⁺型プラグ15が形成されている。また、上記コレクタ領域となるn型エピタキシャル半導体層13aの表層部分に真性ベース領域となるp⁺型半導体層17aとベース取り出し領域となるp⁺型半導体層17bが形成されている。また、上記真性ベース領域となるp⁺型半導体層1

7aの裏層部分にエミッタ領域となる n^+ 型半導体層18が形成されている。上記のように、バイポーラトランジスタが構成されている。

【0007】また、上記のMOSトランジスタ（MOS Tr）領域においては、 n 型エピタキシャル半導体層13aにチャネル形成領域を有し、チャネル形成領域の上層にゲート絶縁膜20が形成され、ゲート絶縁膜20の上層にゲート電極21が形成され、ゲート電極21の両側部における n 型エピタキシャル半導体層13a内において上記チャネル形成領域に隣接してソース・ドレイン拡散層（19a、19b）領域が形成されて、MOSトランジスタが構成されている。

【0008】

【発明が解決しようとする課題】しかしながら、上記のPINフォトダイオードと、バイポーラトランジスタやMOSトランジスタなどのその他の半導体素子とを有する半導体装置において、PINフォトダイオードの性能を高めるためには、空乏層を延びやすくすることが必要であり、従って n 型エピタキシャル半導体層13aの不純物濃度をより低く設定することが重要であるが、一方で、バイポーラトランジスタやMOSトランジスタなどのその他の半導体素子、特にバイポーラトランジスタの特性を向上させるためには、 n 型エピタキシャル半導体層13aの不純物濃度をある程度以上の高濃度に設定する必要があり、従来の構造においては、PINフォトダイオードの特性を犠牲にせざるを得なかった。

【0009】一方で、PINフォトダイオードの性能を高めるために、 n 型エピタキシャル半導体層13aの不純物濃度をより低く設定すると、上記のようにバイポーラトランジスタなどのその他の半導体素子の特性が劣化してしまうため、バイポーラトランジスタなどのその他の半導体素子のための不純物濃度を有する n 型ウェルが必要となる。しかし、このように n 型ウェルを形成する場合、埋め込み層が盛り上がってくるために n 型エピタキシャル半導体層13aの膜厚を厚くしなければならず、結局良好な特性のバイポーラトランジスタを得ることができない。

【0010】本発明は上記の問題点に鑑みてなされたものであり、従って、本発明の目的は、バイポーラトランジスタなどのその他の半導体素子の特性を確保しつつ、PINフォトダイオードなどのフォトダイオードの特性を向上させることができる半導体装置を提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、フォトダイオードとバイポーラトランジスタとを有する半導体装置であって、第1導電型の第1の半導体層と、上記第1の半導体層上に形成された第2導電型の第2の半導体層と、上記第2の半導体層の上面から上記第1の半導体層に達するように形

成されてフォトダイオード形成領域とバイポーラトランジスタ形成領域とをそれぞれ区画するための素子分離領域と、上記フォトダイオード形成領域において上記第2の半導体層の上面に形成された第1導電型の第1の半導体領域と、上記バイポーラトランジスタ形成領域において上記第2の半導体層の上面に形成されたバイポーラトランジスタとを有し、上記フォトダイオード形成領域において、上記第1の半導体層と上記第2の半導体層との界面から延びる空乏層と上記第2の半導体層と上記第1の半導体領域との界面から延びる空乏層とが上記第2の半導体層において接触するように上記第1の半導体層、上記第2の半導体層および上記第1の半導体領域にそれぞれ電圧が印加される。

【0012】本発明の半導体装置は、好適には、上記第1の半導体層が $50\Omega\cdot\text{cm}$ 以上、更に好適には $100\Omega\cdot\text{cm}$ 以上の抵抗値を有する。

【0013】本発明の半導体装置は、好適には、上記第1の半導体層および上記第2の半導体層がエピタキシャル半導体層である。

【0014】本発明の半導体装置は、好適には、上記フォトダイオード形成領域以外の上記第1の半導体層の上記第2の半導体層との界面領域の不純物濃度がその他の領域よりも高い。

【0015】本発明の半導体装置は、好適には、上記第2の半導体層の上面から上記第1の半導体層に達するように形成された素子分離領域で区画された電界効果トランジスタ形成領域を有し、当該電界効果トランジスタ形成領域に電界効果トランジスタが形成されている。

【0016】上記の本発明の半導体装置は、第1導電型の第1の半導体層と第2導電型の第2の半導体層とを積層した構成とし、バイポーラトランジスタ形成領域において第2の半導体層内にバイポーラトランジスタが構成され、一方で、フォトダイオード形成領域において上記第2の半導体層の表層部分に形成された第1導電型の第1の半導体領域が構成されている。ここで、フォトダイオード形成領域における第1の半導体領域と第2の半導体層との接合面から延びる第1の空乏層と、第2の半導体層と第1の半導体層との接合面から延びる第2の空乏層とが接触するように、第1の半導体層と第2の半導体層との間および第2の半導体層と第1の半導体領域との間に電圧が印加される。第1の半導体領域と第2の半導体層との接合面から延びる第1の空乏層と、第2の半導体層と第1の半導体層との接合面から延びる第2の空乏層とが接触する構成となっているので、従来使われていなかった第2の半導体層と第1の半導体層との接合面から延びる空乏層をフォトダイオードの感度領域に取り込み、フォトダイオードの特性を向上させることができる。さらに、バイポーラトランジスタは第2の半導体層内に構成されていることから、その下層の第1の半導体層の不純物濃度はバイポーラトランジスタに関係なく自

自由に設定可能となり、フォトダイオードに最適に設定できるので、第1の半導体層の不純物濃度を十分低く設定することで、第2の半導体層と第1の半導体層との接合面から第1の半導体層側に延びる空乏層を広げてフォトダイオードの特性の向上を図ることができる。具体的には、第1の半導体層を $100\Omega\cdot\text{cm}$ 以上とすることで、十分に広い空乏層を得ることができ、このように不純物濃度の低い第1の半導体層は、基板に成長されたエピタキシャル半導体層などにより提供できる。また、第1の半導体層を $50\Omega\cdot\text{cm}$ 以上程度とすることでもフォトダイオードの特性向上に対して効果があり、この場合に第1の半導体層としては基板に成長されたエピタキシャル半導体層の他、半導体基板として提供することも可能である。従って、バイポーラトランジスタや相補的トランジスタを含む電界効果トランジスタなど、その他の半導体素子の特性を確保しつつ、PINフォトダイオードなどのフォトダイオードの特性を向上させることができる。

【0017】また、フォトダイオード形成領域を除く領域における表層部分の第1導電型の不純物濃度が高められている構成とすることで、ラッチアップを防止するなど、フォトダイオードを除く半導体素子、即ち、バイポーラトランジスタや電界効果トランジスタなどの特性の劣化を十分に確保できる。

【0018】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

【0019】第1実施形態

図1は、本実施形態に係るPINフォトダイオード(PD)、バイポーラトランジスタ(BJT)およびMOS(金属-絶縁層-半導体層積層型)電界効果トランジスタ(MOSTr)を有する半導体装置の断面図である。例えば、 $10\Omega\cdot\text{cm}$ 以下の抵抗値を有する p^+ 型半導体基板10上に、 $100\Omega\cdot\text{cm}$ 程度の抵抗値を有する不純物濃度が十分に低い p 型の第1エピタキシャル半導体層11が形成されている。上記の第1エピタキシャル半導体層11上に、 $1\Omega\cdot\text{cm}$ 程度の抵抗値を有し、膜厚 t_{12} が $1\mu\text{m}$ 程度である n 型の第2エピタキシャル半導体層13が形成されている。

【0020】第2エピタキシャル半導体層13に、第1エピタキシャル半導体層11に達する p^+ 型層あるいはSTI(Shallow Trench Isolation)法などによるトレンチ溝に埋め込まれた酸化シリコンなどからなる素子分離層14が形成されており、フォトダイオード(PD)領域、バイポーラトランジスタ(BJT)領域およびMOSTランジスタ(MOSTr)領域がそれぞれ素子分離されている。

【0021】上記のフォトダイオード(PD)領域において、第2エピタキシャル半導体層13の表層部分に p^+ 型半導体層16が形成されて、 p - n 接合が形成されて

おり、PINフォトダイオードが構成されている。上記のPINフォトダイオードにおいて、第1エピタキシャル半導体層11と第2エピタキシャル半導体層13の間、および、第2エピタキシャル半導体層13と p^+ 型半導体層16の間に、所定の電圧が印加されたときに、 p^+ 型半導体層16と第2エピタキシャル半導体層13との接合面 J_1 から延びる第1の空乏層 V_1 と、第2エピタキシャル半導体層13と第1エピタキシャル半導体層11との接合面 J_2 から延びる第2の空乏層 V_2 とが面 S_{12} において接触する構成となっている。この場合、例えば、第1エピタキシャル半導体層11と p^+ 型半導体層16に最低電位が印加される。ここで、空乏層 V は n 側と p 側でキャリア総数が等しくなるように広がるので、キャリア濃度の低い半導体層側には、空乏層が広く広がることになる。

【0022】また、バイポーラトランジスタ(BJT)領域およびMOSTランジスタ(MOSTr)領域においては、この領域に形成される素子の特性を向上させるため、具体的には、トランジスタのラッチアップを防止する目的で、第1エピタキシャル半導体層11の表層部分に、 p 型不純物濃度が高められた領域11aが形成されている。

【0023】上記のバイポーラトランジスタ(BJT)領域においては、第2エピタキシャル半導体層13をコレクタ領域とし、第1エピタキシャル半導体層11と第2エピタキシャル半導体層13の界面部分に n^+ 型埋め込み層12が形成され、第2エピタキシャル半導体層13表面から n^+ 型埋め込み層12に達する n^+ 型プラグ15が形成されている。また、上記コレクタ領域となる第2エピタキシャル半導体層13の表層部分に真性ベース領域となる p^- 型半導体層17aとベース取り出し領域となる p^+ 型半導体層17bが形成されている。また、上記真性ベース領域となる p^- 型半導体層17aの表層部分にエミッタ領域となる n^+ 型半導体層18が形成されている。上記のように、 n - p - n 型バイポーラトランジスタが構成されている。

【0024】また、上記のMOSTランジスタ(MOSTr)領域においては、第2エピタキシャル半導体層13にチャネル形成領域を有し、チャネル形成領域の上層にゲート絶縁膜20が形成され、ゲート絶縁膜20の上層にゲート電極21が形成され、ゲート電極21の両側部における第2エピタキシャル半導体層13内において上記チャネル形成領域に隣接してソース・ドレイン拡散層(19a、19b)領域が形成されて、MOSTランジスタが構成されている。図面上には、 p チャネルMOSTランジスタのみが示されているが、さらに不図示の n チャネルMOSTランジスタを設けてCMOS(相補的MOS)トランジスタ構造とすることもできる。

【0025】第2エピタキシャル半導体層13の不純物濃度は、バイポーラトランジスタおよびMOSTランジ

スタなどのフォトダイオードを除く半導体素子の特性に大きく影響を与えるので、これらのフォトダイオードを除く半導体素子特性に合わせて設定される。

【0026】一方で、第2エピタキシャル半導体層13の膜厚は、厚くなりすぎると上記のように第1空乏層 V_1 と第2空乏層 V_2 が接触することができなくなってしまう。このため、第1空乏層 V_1 と第2空乏層 V_2 が接触可能な範囲内で適宜選択される。第1空乏層 V_1 と第2空乏層 V_2 が接触するかどうかは、第1エピタキシャル半導体層11と第2エピタキシャル半導体層13との間、および、第2エピタキシャル半導体層13と p^+ 型半導体層16との間に印加される電圧にも依存するので、上記の膜厚は印加電圧に対応するように選択される。

【0027】第1エピタキシャル半導体層11は、特にバイポーラトランジスタ(BiTr)領域およびMOSトランジスタ(MOSTr)領域において p 型不純物濃度が高められた領域11aを設けた場合には、基本的にバイポーラトランジスタおよびMOSトランジスタなどのフォトダイオードを除く半導体素子の特性に影響を与えない。従って、第1エピタキシャル半導体層11の不純物濃度はバイポーラトランジスタに関係なく自由に設定可能となり、フォトダイオードに最適に設定できるので、第1エピタキシャル半導体層11の不純物濃度を十分低く設定することができ、これにより、第2エピタキシャル半導体層13と第1エピタキシャル半導体層11の接合面 J_1 から第1エピタキシャル半導体層11側に延びる空乏層を十分に広げて、フォトダイオードの特性の向上を図ることができる。例えば、第1エピタキシャル半導体層11を $1.00\Omega\cdot\text{cm}$ 以上とすることが好ましい。第1エピタキシャル半導体層11の膜厚は特に制限はないが、第2空乏層 V_2 の広がる範囲よりも厚く形成する必要がある。

【0028】上記の本実施形態の半導体装置は、バイポーラトランジスタや相補的トランジスタを含む電界効果トランジスタなど、その他の半導体素子の特性を確保しつつ、PINフォトダイオードなどのフォトダイオードの特性を向上させることができる。上記の本実施形態の半導体装置においては、 n 型不純物と p 型不純物を入れ替えて構成しても同様の効果を得ることができる。

【0029】次に、本実施形態に係る半導体装置の製造方法について説明する。まず、図2(a)に示すように、例えば、 $1.0\Omega\cdot\text{cm}$ 以下の抵抗値を有する p^- 型半導体基板10上に、エピタキシャル成長法により、 $1.00\Omega\cdot\text{cm}$ 程度の抵抗値を有する不純物濃度が十分に低い p^- 型の第1エピタキシャル半導体層11を形成する。次に、バイポーラトランジスタ(BiTr)領域およびMOSトランジスタ(MOSTr)領域を開ロするパターンのレジスト膜をパターン形成し、ホウ素などの p 型不純物をイオン注入して、不純物拡散の

ための熱処理を施し、第1エピタキシャル半導体層11の表層部分に p 型不純物濃度が高められた領域11aを形成する。この時点では、素子を形成するための不純物が導入されていないので、上記熱処理は素子特性に影響を与えない。次に、 n^+ 型埋め込み層を形成する領域を開ロするパターンのレジスト膜Rをパターン形成し、リンなどの n 型不純物12aを第1エピタキシャル半導体層11の表層部分にイオン注入して導入する。

【0030】次に、図2(b)に示すように、第1エピタキシャル半導体層11上に、エピタキシャル成長法により、 $1\Omega\cdot\text{cm}$ 程度の抵抗値を有し、膜厚が $1\mu\text{m}$ 程度である n 型の第2エピタキシャル半導体層13を形成する。

【0031】次に、図3(c)に示すように、熱処理を施して、 n^+ 型埋め込み層を形成するために導入した n 型不純物12aを第1エピタキシャル半導体層11と第2エピタキシャル半導体層13の双方に拡散させ、第1エピタキシャル半導体層11と第2エピタキシャル半導体層13の界面部分に両層にかかる n^+ 型埋め込み層12を形成する。

【0032】次に、図3(d)に示すように、第2エピタキシャル半導体層13上に素子分離領域を開ロする不図示のレジスト膜をパターン形成した後に、 p 型不純物をイオン注入して第1エピタキシャル半導体層11に達する p^+ 型層を形成して、あるいは、STI(Shallow Trench Isolation)法などによるトレンチ溝に酸化シリコン層などの絶縁膜を埋め込んで、素子分離層14を形成する。これにより、フォトダイオード(PD)領域AR₀、バイポーラトランジスタ(BiTr)領域AR₀、およびMOSトランジスタ(MOSTr)領域AR₀がそれぞれ素子分離される。さらに、バイポーラトランジスタ(BiTr)領域において、 n^+ 型埋め込み層12に達する n^+ 型プラグ15を形成する。

【0033】以降の工程としては、上記のフォトダイオード(PD)領域において第2エピタキシャル半導体層13の表層部分に p^+ 型半導体層16を形成し、また、バイポーラトランジスタ(BiTr)領域においては、 p^- 型半導体層17a、 p^- 型半導体層17bおよび n^+ 型半導体層18を形成し、さらにMOSトランジスタ(MOSTr)領域においては、ゲート絶縁膜20、ゲート電極21およびソース・ドレイン拡散層(19a、19b)を形成し、図1に示す半導体装置を製造することができる。

【0034】上記の本実施形態の半導体装置の製造方法によれば、通常のバイポーラトランジスタプロセスやMOSトランジスタプロセスに条件などの変更を必要とすることなく、バイポーラトランジスタや相補的トランジスタを含む電界効果トランジスタなど、その他の半導体素子の特性を確保しつつ、PINフォトダイオードなどのフォトダイオードの特性を向上させる半導体装置を製

造できる。

【0035】第2実施形態

図4は、本実施形態に係るPINフォトダイオード(PD)、バイポーラトランジスタ(BiTr)およびMOS(金属-絶縁層-半導体層積層型)電界効果トランジスタ(MOSTr)を有する半導体装置の断面図である。実質的に第1実施形態と同様な構造であるが、第1実施形態における p^{++} 型半導体基板10と第1エピタキシャル半導体層11が、例えば $50\Omega\cdot\text{cm}$ 程度の低抵抗値を有する p^{++} 型半導体基板10として一体に提供され、その上層に、 $1\Omega\cdot\text{cm}$ 程度の抵抗値を有し、膜厚 t_{13a} が $1\mu\text{m}$ 程度である n 型のエピタキシャル半導体層13aが形成されていることが異なる。

【0036】フォトダイオード(PD)領域において、 n 型エピタキシャル半導体層13aの表層部分に p^{+} 型半導体層16が形成されて、 pn 接合が形成されており、PINフォトダイオードが構成されている。上記のPINフォトダイオードにおいて、 p^{++} 型半導体基板10とエピタキシャル半導体層13aの間、および、エピタキシャル半導体層13aと p^{+} 型半導体層16の間に、所定の電圧が印加されたときに、 p^{+} 型半導体層16とエピタキシャル半導体層13aとの接合面 J_1 から延びる第1の空乏層 V_1 と、エピタキシャル半導体層13aと p^{++} 型半導体基板10との接合面 J_2 から延びる第2の空乏層 V_2 とが面 S_{12} において接触する構成となっている。

【0037】上記以外の素子分離層14や、バイポーラトランジスタ(BiTr)およびMOSTランジスタ(MOSTr)の構成は、第1実施形態と同様である。但し、第1実施形態において設けられた p 型不純物濃度が高められた領域11aは、本実施形態においては、バイポーラトランジスタ(BiTr)領域およびMOSTランジスタ(MOSTr)領域における p^{++} 型半導体基板10の表層部分に設けられた p 型不純物濃度が高められた領域10aとなっている。

【0038】第1実施形態と同様に、エピタキシャル半導体層13aの不純物濃度はフォトダイオードを除く半導体素子特性に合わせて設定される。一方で、エピタキシャル半導体層13aの膜厚は、厚くなりすぎると上記のように第1空乏層 V_1 と第2空乏層 V_2 が接触できなくなるので、印加電圧とともに第1空乏層 V_1 と第2空乏層 V_2 とが接触可能な範囲内で適宜選択される。

【0039】 p^{++} 型半導体基板10は、基本的にバイポーラトランジスタおよびMOSTランジスタなどのフォトダイオードを除く半導体素子の特性に影響を与えないので、その不純物濃度はバイポーラトランジスタに関係なく自由に設定可能となり、例えば $50\Omega\cdot\text{cm}$ 程度とすることで、エピタキシャル半導体層13aと p^{++} 型半導体基板10の接合面 J_2 から p^{++} 型半導体基板10側に延びる空乏層を十分に広げて、フォトダイオードの特

性の向上を図ることができる。

【0040】上記の本実施形態の半導体装置は、バイポーラトランジスタや相補的トランジスタを含む電界効果トランジスタなど、その他の半導体素子の特性を確保しつつ、PINフォトダイオードなどのフォトダイオードの特性を向上させることができる。上記の本実施形態の半導体装置においては、 n 型不純物と p 型不純物を入れ替えて構成しても同様の効果を得ることができる。

【0041】上記の本実施形態のPINフォトダイオードを有する半導体装置は、例えば 780nm と 650nm の波長の光を受光することが可能であり、CDやDVDなどの光ディスク装置に内蔵される光学ピックアップ装置用の受光素子を組み込んだ半導体装置などとして、広く用いることが可能である。

【0042】本発明は、上記の実施の形態に限定されない。例えば、本発明の半導体装置におけるフォトダイオードは、PINフォトダイオードだけでなく、フォトダイオード全般に適用可能である。また、上記の実施形態において p 型不純物と n 型不純物を入れ替えて構成することが可能である。また、例えば、第1実施形態における第1エピタキシャル半導体層、第2エピタキシャル半導体層の不純物濃度(抵抗値)や膜厚、あるいは第2実施形態におけるエピタキシャル半導体層の不純物濃度

(抵抗値)や膜厚は、フォトダイオードを除く半導体素子の特性や、フォトダイオードの第2空乏層の広がりかたの設計などに応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

【0043】

【発明の効果】本発明の半導体装置は、バイポーラトランジスタや相補的トランジスタを含む電界効果トランジスタなど、その他の半導体素子の特性を確保しつつ、PINフォトダイオードなどのフォトダイオードの特性を向上させることができる。

【図面の簡単な説明】

【図1】図1は第1実施形態に係る半導体装置の断面図である。

【図2】図2は第1実施形態に係る半導体装置の製造方法の製造工程を示す断面図であり、(a)は n^{+} 型埋め込み層を形成するための不純物導入工程まで、(b)は第2のエピタキシャル半導体層の形成工程までを示す。

【図3】図3は図2の続きの工程を示し、(c)は n^{+} 型埋め込み層の拡散工程まで、(d)は素子分離層および n^{+} 型プラグの形成工程までを示す。

【図4】図4は第2実施形態に係る半導体装置の断面図である。

【図5】図5は従来例に係る半導体装置の断面図である。

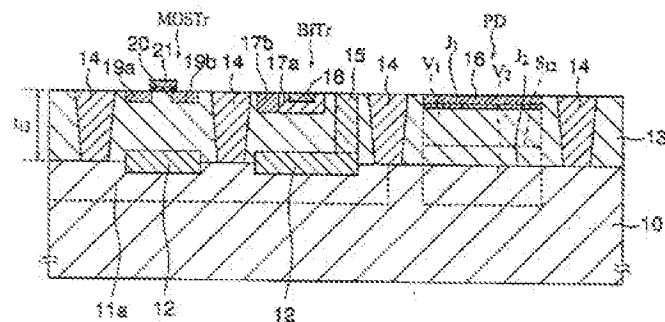
【符号の説明】

10…半導体基板、11…第1エピタキシャル半導体

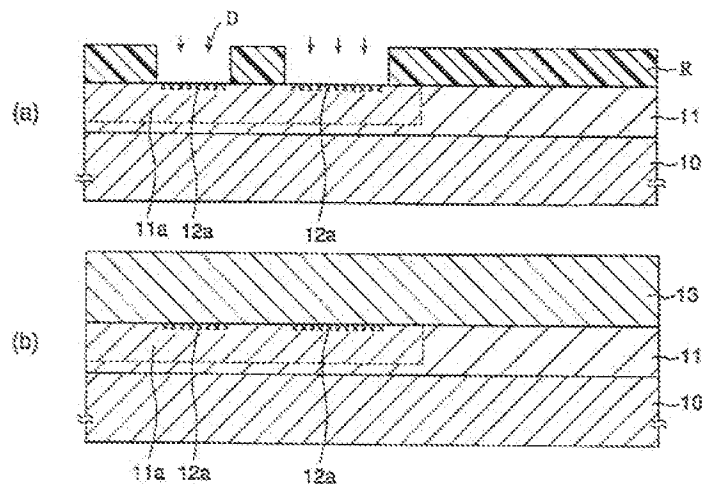
層、10a、11a…p型不純物濃度が高められた領域、12…n⁺型埋め込み層、13…第2エピタキシャル半導体層、13a…エピタキシャル半導体層、14…素子分離層、15…n⁺型プラグ、16…p⁺型半導体層、17a…p⁺型半導体層、17b…p⁺型半導体

層、18…n⁺型半導体層、19a、19b…ソース・ドレイン拡散層、20…ゲート絶縁膜、21…ゲート電極、V、V₁、V₂…空乏層、J、J₁、J₂…接合面、S₁₂…空乏層接触面。

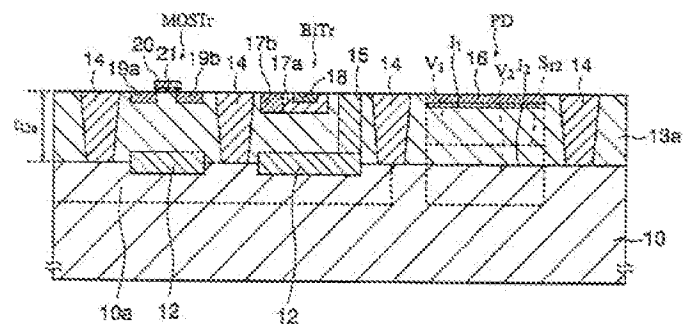
【図1】



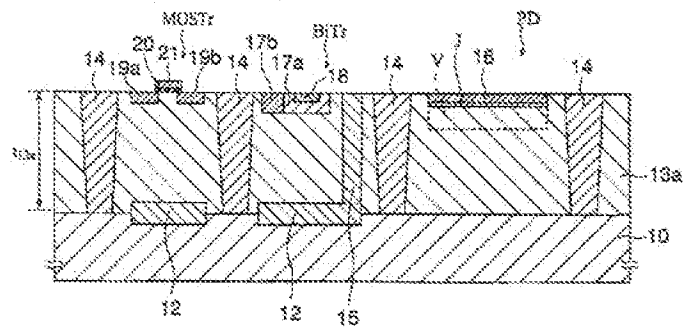
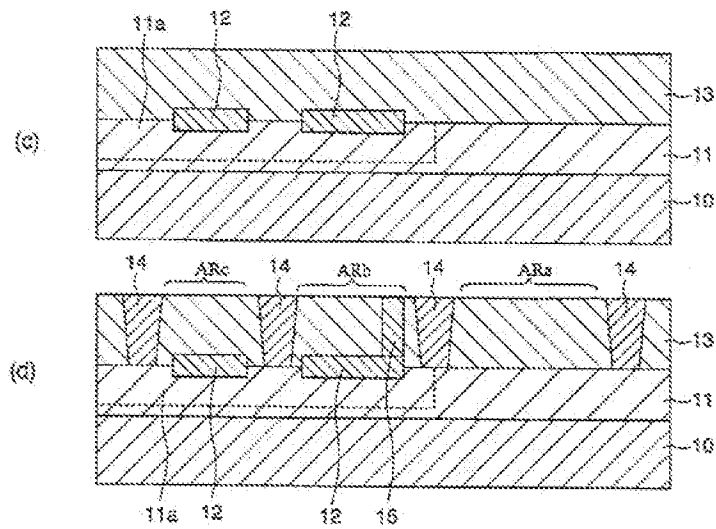
【図2】



【図4】



0000 0000 0000 0000



フロントページの続き

(b) (5) DPP, (b) (7)(C), (b) (7)(D)

雜誌號

RI
NO 1 L 31/10

7-53-7 (88)

F グラム(参考)

4M118	AA10	AB02	AB10	BA06	CA05
5F048	AC05	AC07	AC10	BA05	BA06
	BA12	BC14	CA02	CA04	
5F049	MA04	MB02	MB03	NA20	NB08
	GA03	RA06	UA20		
5F082	AA06	AA11	AA40	BA02	BA50
	BC09	BC11	GA02		